

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-274665

(43)Date of publication of application : 05.10.2001

(51)Int.Cl.

H03K 17/16

(21)Application number : 2000-086714

(71)Applicant : NISSAN MOTOR CO LTD

(22)Date of filing : 27.03.2000

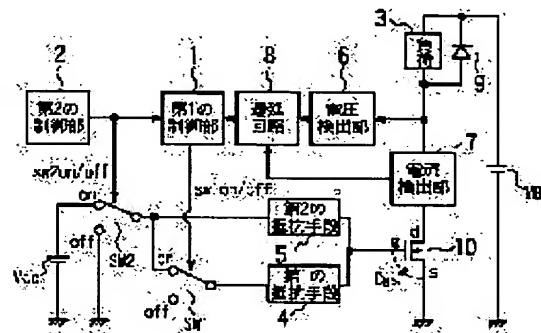
(72)Inventor : IWASHIMA MAKOTO

## (54) DRIVE METHOD AND DRIVE CIRCUIT FOR VOLTAGE DRIVE ELEMENT

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a drive circuit for a voltage drive element that can prevent increase in a surge voltage and a noise independently of a change in a main current while ensuring an advantage of a high switching speed of a voltage drive element such as a MOSFET.

**SOLUTION:** A control signal is applied from a 2nd switch SW2 to a gate of the MOSFET 10 via a 2nd resistor means 5. A 1st resistor means 4 connected to a 1st switch SW1 is placed in parallel with the 2nd resistor means 4. The 1st switch is closed based on the switching of the 2nd switch, after a voltage detection section 6 detects that a terminal voltage of the MOSFET reaches a prescribed value, the 1st switch is open after a delay time set by a delay circuit 8 in response to the main current detected by a current detection section 7. Thus, just after the switching to turn-off of the MOSFET, a changing speed of the gate voltage is kept high at a lower resistance by both the resistor means and then the changing speed of the gate voltage is relaxed in proper timing depending on the terminal voltage and the main current.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's]

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-274665

(P2001-274665A)

(43) 公開日 平成13年10月5日 (2001.10.5)

(51) Int.Cl.<sup>7</sup>

H 0 3 K 17/16

識別記号

F I

H 0 3 K 17/16

テーマコード<sup>\*</sup>(参考)

M 5 J 0 5 5

審査請求 未請求 請求項の数 5 O L (全 13 頁)

(21) 出願番号 特願2000-86714(P2000-86714)

(22) 出願日 平成12年3月27日(2000.3.27)

(71) 出願人 000003997

日産自動車株式会社

神奈川県横浜市神奈川区宝町2番地

(72) 発明者 岩島 誠

神奈川県横浜市神奈川区宝町2番地 日産

自動車株式会社内

(74) 代理人 100086450

弁理士 菊谷 公男 (外2名)

Fターム(参考) 5J055 AX26 AX54 AX64 BX16 CX13

CX23 DX13 DX22 DX55 EX07

EX12 EY01 EY10 EY12 EY21

EZ09 EZ50 FX04 FX05 FX08

FX12 FX32 FX33 GX01 GX02

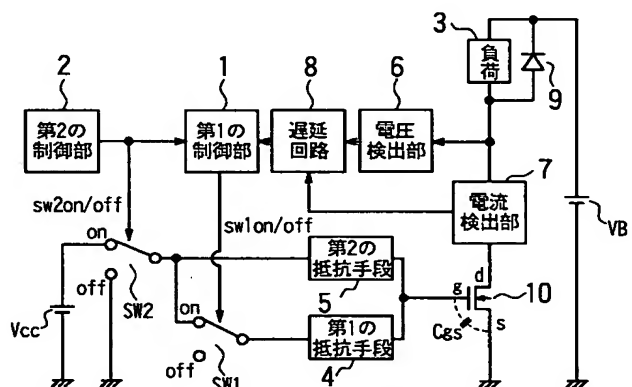
GX04

(54) 【発明の名称】 電圧駆動型素子の駆動方法および駆動回路

(57) 【要約】

【課題】 MOSFETなど電圧駆動型素子の高いスイッチング速度の利点を確保しつつ、主電流の変化によらずサージ電圧の増大やノイズを防止する。

【解決手段】 MOSFET 10のゲートに第2のスイッチSW2から第2の抵抗手段5を経て制御信号が印加される。第2の抵抗手段4と並列に第1のスイッチSW1に接続された第1の抵抗手段4が設けられている。第1のスイッチは、第2のスイッチの切替えに基づいてオンし、電圧検出部6がMOSFETの端子電圧が所定値に達したことを検出したあと、電流検出部7で検出した主電流値に応じて遅延回路8で設定した遅延時間後にオフする。これにより、MOSFETターンオフ切替え直後は両抵抗手段による低い抵抗値でゲート電圧の変化速度を高く保持し、その後端子電圧値と主電流値に応じて適切なタイミングでゲート電圧の変化速度を緩和する。



## 【特許請求の範囲】

【請求項 1】 負荷に直列に MOS ゲート構造または絶縁ゲート構造を有する電圧駆動型素子を設け、該電圧駆動型素子のゲートに抵抗手段を介して制御電圧を印加、除去することにより負荷を制御する電源回路において、電圧駆動型素子を流れる主電流値と、電圧駆動型素子の端子電圧値とに基づいて、前記抵抗手段の抵抗値を変化させて、前記制御電圧の印加、除去における前記ゲートの電圧の上昇、下降の速度を変化させることを特徴とする電圧駆動型素子の駆動方法。

【請求項 2】 負荷に直列に MOS ゲート構造または絶縁ゲート構造を有する電圧駆動型素子を設け、該電圧駆動型素子のゲートに抵抗手段を介して制御電圧を印加、除去することにより負荷を制御する電源回路における電圧駆動型素子の駆動回路であって、前記抵抗手段が互いに並列に前記ゲートに接続された第 1 および第 2 の抵抗手段からなるとともに、前記第 1 の抵抗手段に接続され、第 1 の制御手段により制御される第 1 のスイッチと、前記第 2 の抵抗手段に接続され、第 2 の制御手段により制御される第 2 のスイッチと、電圧駆動型素子の端子電圧値を検出する電圧検出部と、前記電圧駆動型素子を流れる主電流値を検出する電流検出部とを有し、前記第 1 の制御手段は、第 2 の制御手段の制御信号に基づいて前記第 1 のスイッチをオンさせ、前記電圧検出部と電流検出部の出力に基づいて第 1 のスイッチのオフを制御することを特徴とする電圧駆動型素子の駆動回路。

【請求項 3】 前記電圧検出部は前記端子電圧値が所定値に達したか否かを検出し、前記第 1 の制御手段は、前記主電流値に対応する遅延時間を設定する遅延回路を含み、前記第 1 のスイッチをオフにする時期を、前記端子電圧値が前記所定値に達したあと、前記遅延時間後とするものであることを特徴とする請求項 2 記載の電圧駆動型素子の駆動回路。

【請求項 4】 前記電圧検出部は前記端子電圧値が所定値に達したか否かを検出するとともに、前記所定値は前記電流検出部で検出された前記主電流値に逆対応して変化し、前記第 1 の制御手段は、前記第 1 のスイッチをオフにする時期を、前記端子電圧値が前記所定値に達したときとするものであることを特徴とする請求項 2 記載の電圧駆動型素子の駆動回路。

【請求項 5】 負荷に直列に MOS ゲート構造または絶縁ゲート構造を有する電圧駆動型素子を設け、該電圧駆動型素子のゲートに抵抗手段を介して制御電圧を印加、除去することにより負荷を制御する電源回路における電圧駆動型素子の駆動回路であって、前記抵抗手段が互いに並列に前記ゲートに接続された第 1 および第 2 の抵抗手段からなるとともに、前記第 1 の抵抗手段に接続され、第 1 の制御手段により制御される第 1 のスイッチと、前記第 2 の抵抗手段に接続され、第 2 の制御手段により制御される第 2 のスイッチと、電圧駆動型素子の端

子電圧値が所定値に達したか否かを検出する電圧検出部と、前記電圧駆動型素子を流れる主電流値を検出する電流検出部とを有し、前記第 1 の制御手段は、第 2 の制御手段の制御信号に基づいて前記第 1 のスイッチをオンさせ、前記端子電圧値が前記所定値に達したとき第 1 のスイッチをオフさせ、前記第 2 の抵抗手段は、前記主電流値に対応してその抵抗値を変化させることを特徴とする電圧駆動型素子の駆動回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、電圧駆動型素子を用いた電源回路においてサージ電圧やノイズを抑制するための電圧駆動型素子の駆動方法および駆動回路に関する。

## 【0002】

【従来の技術】 MOSFET (MOS 形電界効果トランジスタ) や IGBT (絶縁ゲートバイポーラトランジスタ) などの電圧駆動型素子は、各々 MOS ゲート構造あるいは絶縁ゲート構造を有し、そのスイッチング速度の高いことを特徴として、高周波のインバータ装置やスイッチング電源に使用されている。しかし、スイッチング速度の高いことは、一面で、素子破壊を招くサージ電圧や他の電子機器への妨害をもたらすノイズの発生を伴う。

【0003】この対策として、単純一律にスイッチング時の制御電圧の印加を緩やかにしてスイッチング速度を緩和すると、スイッチング時間の増大に直結して利点を失うとともに、スイッチング損失も増大して素子の発熱の問題まで招くので、サージ電圧やノイズの発生にかかわる期間だけスイッチング速度を緩和させる制御が求められている。

【0004】このような従来例として、例えば特開平 6-291631 号公報に記載の駆動回路では、負荷に直列に接続した電圧駆動型素子のゲートに第 1、第 2 の抵抗手段を並列に接続し、これらを素子にかかる電圧状態に応じて制御することによりゲートに接続される抵抗値を変化させ、適時にスイッチング速度を緩和するようにしている。

【0005】すなわち、素子のターンオフあるいはターンオン直後において素子に流れる主電流が下降あるいは上昇を開始するまでのいわゆるストレージ期間は、第 1、第 2 両方の抵抗手段を通して大きなゲート電流を流して、ゲートの電圧除去あるいは印加の速度を高くしておくが、つぎに、主電流下降あるいは主電流上昇の期間には第 2 の抵抗手段だけを通して小さなゲート電流を流し、ゲート端子への電圧除去あるいは印加の速度を緩やかにすることにより、主電流の下降あるいは上昇速度、すなわち  $di/dt$  を低くしてサージ電圧やノイズを抑制する。

【0006】ここで、主電流の下降あるいは上昇の開始

10

20

30

40

50

時については、その時点で素子の主電流の入出力にかかわる第1、第2端子間の電圧（すなわち負荷との接続点における電圧駆動型素子の端子電圧）が急変するのを利用して、ターンオフ時には当該端子電圧が第1の所定電圧値まで上昇した時点を検出し、ターンオン時には第2の所定電圧値まで下降した時点を検出して、主電流の下降あるいは上昇の開始時としている。

#### 【0007】

【発明が解決しようとする課題】ところで、電圧駆動型素子においては、ターンオフ開始前あるいはターンオン終了後の主電流が変化すると、スイッチング時に発生するサージ電圧やノイズの素子への影響は大きく変動することが知られている。しかしながら、上記の駆動回路においては、主電流の下降あるいは上昇の開始時期が、主電流にかかわらず、電圧駆動型素子の端子電圧が一定の所定値に到達した時としているので、上記の第1あるいは第2の所定電圧値を過ぎて第1の抵抗手段が遮断された後のスイッチング特性は主電流の値によって大きく変動することとなる。

【0008】結局、このスイッチング特性の変動によりサージ電圧やノイズが大きく変化して、耐圧値や規定値を越えて素子破壊や他の電子機器への妨害が引き起こされるほか、スイッチング時間が増大して高速スイッチングのメリットが阻害され、またスイッチング損失による発熱などの問題から開放されないという問題がある。

【0009】したがって本発明は、上記の問題点に鑑み、主電流の変化があっても適切にサージ電圧やノイズが抑制されるとともに、高いスイッチング速度の利点が確保されるようにした電圧駆動型素子の駆動回路を提供することを目的とする。

#### 【0010】

【課題を解決するための手段】このため、請求項1の電圧駆動型素子の駆動方法は、負荷に直列にMOSゲート構造または絶縁ゲート構造を有する電圧駆動型素子进行、該電圧駆動型素子のゲートに抵抗手段を介して制御電圧を印加、除去することにより負荷を制御する電源回路において、電圧駆動型素子を通れる主電流値と、電圧駆動型素子の端子電圧値とに基づいて、抵抗手段の抵抗値を変化させて、上記制御電圧の印加、除去におけるゲートの電圧の上昇、下降の速度を変化させるものとした。

【0011】請求項2の発明は、負荷に直列にMOSゲート構造または絶縁ゲート構造を有する電圧駆動型素子进行、該電圧駆動型素子のゲートに抵抗手段を介して制御電圧を印加、除去することにより負荷を制御する電源回路における電圧駆動型素子の駆動回路であって、抵抗手段が互いに並列にゲートに接続された第1および第2の抵抗手段からなるとともに、第1の抵抗手段に接続され第1の制御手段により制御される第1のスイッチと、第2の抵抗手段に接続され第2の制御手段により制

御される第2のスイッチと、電圧駆動型素子の端子電圧値を検出する電圧検出部と、電圧駆動型素子を通れる主電流値を検出する電流検出部とを有し、第1の制御手段は、第2の制御手段の制御信号に基づいて第1のスイッチをオンさせ、電圧検出部と電流検出部の出力に基づいて第1のスイッチのオフを制御するものとした。

【0012】請求項3の発明は、とくに電圧検出部が電圧駆動型素子の端子電圧値が所定値に達したか否かを検出し、第1の制御手段が、主電流値に対応する遅延時間を設定する遅延回路を含み、第1のスイッチをオフにする時期を、端子電圧値が上記所定値に達したあと、上記遅延時間後とするものとしたものである。

【0013】請求項4の発明は、電圧検出部が電圧駆動型素子の端子電圧値が所定値に達したか否かを検出するとともに、該所定値が電流検出部で検出された主電流値に逆対応して変化し、第1の制御手段が、第1のスイッチをオフにする時期を、端子電圧値が上記所定値に達したときとするものとしたものである。

【0014】請求項5の発明は、負荷に直列にMOSゲート構造または絶縁ゲート構造を有する電圧駆動型素子进行、該電圧駆動型素子のゲートに抵抗手段を介して制御電圧を印加、除去することにより負荷を制御する電源回路における電圧駆動型素子の駆動回路であって、抵抗手段が互いに並列にゲートに接続された第1および第2の抵抗手段からなるとともに、第1の抵抗手段に接続され第1の制御手段により制御される第1のスイッチと、第2の抵抗手段に接続され第2の制御手段により制御される第2のスイッチと、電圧駆動型素子の端子電圧値が所定値に達したか否かを検出する電圧検出部と、電圧駆動型素子を通れる主電流値を検出する電流検出部とを有し、第1の制御手段は、第2の制御手段の制御信号に基づいて第1のスイッチをオンさせ、端子電圧値が上記所定値に達したとき第1のスイッチをオフさせ、第2の抵抗手段は、主電流値に対応してその抵抗値を変化させるものとした。

#### 【0015】

【発明の効果】請求項1の駆動方法では、電圧駆動型素子の主電流値と端子電圧値とに基づいて抵抗手段の抵抗値を変化させ、ゲート電圧の上昇、下降の速度を変化させるものとしたので、例えば電圧駆動型素子のターンオフ切替え直後は抵抗値を低くしてゲート電圧の高い変化速度を確保しながら、主電流値と端子電圧値とに基づいて適切なタイミングでゲートの電圧の上昇、下降の速度を緩めることにより、主電流値が小さい場合にはゲート電圧の変化速度の高い期間を長く維持してスイッチング時間の増大を抑え、逆に主電流値が大きい場合には高いスイッチング速度の期間を早めに終了してサージ電圧の増大を防止することができ、主電流値の変動にかかわらず安定したスイッチング特性が得られるという効果が得られる。

【0016】請求項2の駆動回路は、抵抗手段として並列の第1および第2の抵抗手段を備えるとともに、対応して第1および第2のスイッチを備え、第1の制御手段が、第2のスイッチ用の第2の制御手段の制御信号に基づいて第1のスイッチをオンさせ、電圧検出部と電流検出部の出力に基づいて第1のスイッチのオフを制御するので、例えば第2の制御手段による電圧駆動型素子のターンオフ切替え直後は両抵抗手段により抵抗値を低くしてゲート電圧の高い変化速度を確保しながら、その後端子電圧値と主電流値の大きさに応じて適切なタイミングでゲート電圧の変化速度を緩めることにより、スイッチング時間の増大あるいはサージ電圧の増大が防止され、主電流値の変動にかかわらず安定したスイッチング特性が得られる。

【0017】請求項3の発明は、第1のスイッチをオフにする時期を、電圧駆動型素子の端子電圧値が所定値に達したあと、主電流値に対応する遅延時間後とするので、端子電圧値が所定値に達するまでは確実にゲート電圧の変化速度が高く保持されるとともに、その後主電流値に応じたタイミングでゲート電圧の変化速度が緩和される。遅延時間を主電流値に対応して変化させるので、主電流値の変動にかかわらずサージ電圧の増大直前までゲート電圧の変化速度を高く維持できる。

【0018】請求項4の発明は、電圧駆動型素子の端子電圧値が所定値に達したときに第1のスイッチをオフにするものとし、その所定値が主電流値に逆対応して変化するものとしたので、例えば電圧駆動型素子のオン、オフ切替え直後は、主電流値が小さい場合上記所定値が高くなり、第1のスイッチのオフ時期が延びてその間両抵抗手段を通じてゲート電圧の変化速度が高く維持され、スイッチング時間の増大が防止される。また、主電流値が大きい場合上記所定値は低くなり、第1のスイッチが早期にオフされてサージ電圧の増大が防止される。請求項3の発明に比較して、遅延回路を要しないので、構成が簡単となる。

【0019】請求項5の発明は、電圧駆動型素子の端子電圧値が所定値に達したときに第1のスイッチをオフにし、第2の抵抗手段が主電流値に対応してその抵抗値を変化させるものとしたので、第1のスイッチのオフ後は、主電流値が小さい場合上記抵抗値が低くなり、ゲート電圧の変化速度が高く維持されてスイッチング時間の増大が防止される。また、主電流値が大きい場合抵抗値は高くなって、ゲート電圧の変化速度が緩和され、サージ電圧の増大が防止される。第1のスイッチオフ後のとくに主電流の違ひによってスイッチング特性が大きく変動する領域において、ゲート電圧の変化速度が主電流値の大きさに応じて調整されるから、スイッチング特性安定化にひときわ有効である。

【0020】

【発明の実施の形態】以下、本発明の実施の形態を実施

例により説明する。図1は、第1の実施例を示す基本ブロック図である。主電源VBに誘導性の負荷3と電圧駆動型素子としてのMOSFET10が直列に接続されて主電源回路が形成されている。負荷3には逆並列にフリーホイールダイオード9が接続されている。また、MOSFET10に対して直列に後述する電流検出部7が設けられている。

【0021】MOSFET10のゲートには、互いに並列に設けられた第1の抵抗手段4と第2の抵抗手段5の各一端が接続されている。第1の抵抗手段4は第2の抵抗手段5よりも低抵抗値に設定されている。第2の抵抗手段5の他端は、第2のスイッチSW2を介して、制御電源Vccまたはグラウンドに切替え接続されるようになっている。第1の抵抗手段4の他端は、第1のスイッチSW1を介して、第2の抵抗手段5の他端に接続可能となっている。

【0022】第1のスイッチSW1は第1の制御部1からの制御信号によってオンまたはオフし、第2のスイッチSW2は第2の制御部2からの制御信号によってオンまたはオフする。こうして、MOSFET10のオン、オフの主制御は、第2の制御部2によって第2のスイッチSW2を介して行なわれる。

【0023】負荷3とMOSFET10の接続点にはMOSFET10のドレイン・ソース間電圧、すなわち端子電圧（以下、ドレイン電圧と呼ぶ）を検出する電圧検出部6が接続され、電圧検出部6と第1の制御部1の間に遅延回路8が設けられている。電圧検出部6は、ドレイン電圧が所定値より大きくなると出力がローレベルとなり、ドレイン電圧が所定値以下になると出力がハイレベルとなる。

【0024】電流検出部7は、MOSFET10のオン期間にそのドレインに入力する電流（以下、ドレイン電流と呼ぶ）を検出し、ドレイン電流値に比例した電圧を遅延回路8へ出力するようになっている。遅延回路8は、電圧検出部6からの入力を電流検出部7からの入力電圧に反比例した遅延時間を加えて第1の制御部1へ出力する。

【0025】第2の制御部2から第2のスイッチSW2への制御信号は、同時に第1の制御部1にも入力されるようになっている。第1の制御部1は、第2の制御部2から出力される制御信号の切替わり時をトリガとして、第1のスイッチSW1をオンさせる制御信号sw1onを出力する。その後、第1の制御部1は、遅延回路8からの入力信号のハイレベルとローレベルの切替わり時をトリガとして、第1のスイッチSW1をオフさせる制御信号sw1offを出力する。

【0026】第2の制御部2から制御信号sw2offを受けて、第2のスイッチSW2がオフすると、第2の抵抗手段5は基準電位としてのグラウンドに接続される。これにより、MOSFET10のゲートとソース間のゲ

ート容量 $C_{gs}$ に充電された電荷が第2の抵抗手段5を通じて放電され、MOSFET10がターンオフする。

【0027】この際同時に、第1のスイッチSW1は第1の制御部1から制御信号 $sw1on$ を受けてオンし、第2の抵抗手段5に加えて第1の抵抗手段4を通じて、ゲート容量 $C_{gs}$ に充電された電荷が放電される。これにより、ゲート容量 $C_{gs}$ の電荷は急速に放電される。それから、遅延回路8からの信号のハイレベルとローレベルの切替わりに応じて、第1のスイッチSW1は第1の制御部1から制御信号 $sw1off$ を受けてオフし、これにより、ゲート容量 $C_{gs}$ の電荷の放電は緩やかになる。

【0028】一方、第2の制御部2から制御信号 $sw2on$ を受けて、第2のスイッチSW2がオンすると、第2の抵抗手段5を通じて制御電源 $V_{cc}$ からゲート容量 $C_{gs}$ へ電荷が充電されて、MOSFET10がターンオンする。この際同時に、第1のスイッチSW1は第1の制御部1から制御信号 $sw1on$ を受けてオンし、第2の抵抗手段5に加えて第1の抵抗手段4を通じて、ゲート容量 $C_{gs}$ に電荷が充電される。これにより、ゲート容量 $C_{gs}$ には電荷が急速に充電される。

【0029】その後、遅延回路8からの信号のハイレベルとローレベルの切替わりに応じて、第1のスイッチSW1は第1の制御部1から制御信号 $sw1off$ を受けてオフし、これにより、ゲート容量 $C_{gs}$ の電荷の充電は緩やかになる。以上のように、MOSFET10のターンオン、ターンオフの期間中にドレイン電圧が変化することによって、ゲート容量 $C_{gs}$ の放電、充電速度が変化し、さらにその変化のタイミングがドレイン電流値によって変化する。

【0030】図2は上述した第1の実施例の具体的な回路構成を示す。ここでは、MOSFET10は電流検出端子を備えるものとする。第1の制御部1はEx-NOR回路（エクスクルーシブNOR回路）11からなっている。第1の抵抗手段4は一端をMOSFET10のゲートに接続した抵抗41、第2の抵抗手段5は同じく一端をMOSFET10のゲートに接続した抵抗51からなっている。

【0031】第1のスイッチSW1は、並列接続したPchMOSFET（PチャンネルMOS形電界効果トランジスタ）15およびNchMOSFET（NチャンネルMOS形電界効果トランジスタ）16と、インバータ17とからなる。

【0032】第2のスイッチSW2は、直列接続したPchMOSFET25とNchMOSFET26とからインバータ回路を形成しており、PchMOSFET25のドレインとNchMOSFET26のドレインとが接続されている。

【0033】第1のスイッチSW1において、PchMOSFET15とNchMOSFET16の各ソースは

抵抗41の他端に接続されている。NchMOSFET16のゲートは、第1の制御部1のEx-NOR回路11の出力側に接続されている。また、PchMOSFET15のゲートは、インバータ17を介してEx-NOR回路11の出力側に接続されている。これにより、第1のスイッチSW1はアナログスイッチ回路を形成している。

【0034】PchMOSFET15とNchMOSFET16の各ドレインは第2のスイッチSW2のPchMOSFET25とNchMOSFET26のドレインに接続されている。抵抗51の他端もPchMOSFET25とNchMOSFET26のドレインに接続されている。

【0035】第2のスイッチSW2におけるPchMOSFET25のソースは、制御電源 $V_{cc}$ に接続されている。PchMOSFET25とNchMOSFET26の各ゲートは第2の制御部2に接続されている。また第2の制御部2は第1の制御部のEx-NOR回路11の入力側の一方に接続されている。

【0036】電圧検出部6は、制御電源 $V_{cc}$ とグランド間に直列に接続された抵抗61、62と、これら両抵抗の接続点Aにアノードを接続しMOSFET10のドレインにカソードを接続したダイオード63を備えている。電圧検出部6はさらに、直列接続したPchMOSFET64とNchMOSFET65からなるインバータ回路を含んでいる。インバータ回路は、PchMOSFET64とNchMOSFET65の各ゲートを接続点Aに接続し、各ドレイン同士の接続点を遅延回路への出力点としている。

【0037】電流検出部7は、MOSFET10の電流検出端子とグランド間に接続された抵抗71と、電流検出端子に一端が接続された抵抗72と、この抵抗72の他端に接続されたコンデンサ73と、コンデンサ73と抵抗72の接続点の電位を入力とするボルテージホロワ75とを備える。ボルテージホロワ75の出力側が遅延回路8に接続される。

【0038】遅延回路8は、NchMOSFET81、82で構成される電流制限回路、PchMOSFET83、84で構成されるカレントミラー回路、ならびに電圧検出部6のPchMOSFET64とNchMOSFET65からなるインバータ回路の出力に接続されたコンデンサ85を備える。NchMOSFET82のソースはグランドに接続され、ドレインはNchMOSFET65のソースに接続されている。また、PchMOSFET84のソースは制御電源 $V_{cc}$ に接続され、ドレインはPchMOSFET64のソースの接続されている。

【0039】また、NchMOSFET81のソースはグランドに接続され、ドレインはPchMOSFET83のドレインと接続されている。PchMOSFET8

3のソースはPchMOSFET84のソースと同じく制御電源Vccに接続されている。NchMOSFET81とNchMOSFET82の各ゲートに、電流検出部7のボルテージホロワ75の出力側が接続されている。そして、コンデンサ85の端子電位が出力として第1の制御部のEx-NOR回路11の入力側の他方に接続入力されている。

【0040】上記構成において、電圧検出部6の接続点Aの電圧は、MOSFET10がオン状態である場合には、そのオン電圧にダイオード63の順方向電圧降下分を加えた値となる。この電圧を約1V程度に設定して、論理レベルとしてローレベル(L)を得る。

【0041】つぎに、スイッチングの過渡時、MOSFET10のドレイン電圧が制御電源Vccの電圧より高くなると、ダイオード63が逆バイアスによりオフ状態となって、その結果、接続点Aの電圧は抵抗61と62の分圧比で定まる値となる。ここで、抵抗61に対して抵抗62の抵抗値を十分大きい値に設定することにより、接続点Aの電圧はほぼ制御電源Vccの電圧に等しい値となり、これを論理レベルのハイレベル(H)とする。このときの制御電源Vccの電圧にほぼ等しい値をVd1とする。

【0042】電圧検出部6は、MOSFET10のドレイン電圧がVd1以上であるか否かを検出して、PchMOSFET64とNchMOSFET65からなるインバータ回路を通してHあるいはLの2値化した信号を遅延回路8へ出力する。

【0043】一方、電流検出部7では、MOSFET10の電流検出端子に流れるドレイン電流に比例した電流が抵抗71で電圧に変換される。この電圧は抵抗72とコンデンサ73で形成されるローパスフィルタを通してスイッチング周波数に応じた変化成分を除去され、ボルテージホロワ75を通してMOSFET10オン時のドレイン電流に比例した電圧を遅延回路8へ出力する。

【0044】遅延回路8では、電流検出部7からの電圧値に応じてNchMOSFET82およびPchMOSFET84の通過電流を変化させ、これによりコンデンサ85の充放電速度が制御されて、上記電圧値に応じて遅延したHあるいはLの信号を第1の制御部1へ送出する。

【0045】図3は上記構成におけるターンオフ時の動作波形を示す。図の(1)はドレイン電流が小さい場合、(2)はドレイン電流が大きい場合の波形を示している。(a)は第2の制御部2が出力する制御信号、(b)は第1の制御部1が出力する制御信号、(c)はMOSFET10のドレイン電圧、(d)は電圧検出部6の出力、(e)はMOSFET10のドレイン電流、(f)は電流検出部7の出力、そして(g)は遅延回路8の出力を示す。

【0046】まず、ドレイン電流が小さい(1)の場合

について説明する。第2の制御部2からの制御信号がsw2on(L)からsw2off(H)へ変わると、第2のスイッチSW2ではPchMOSFET25がオフとなり、NchMOSFET26がオンとなる。制御信号がsw2offへ変わった直後はMOSFET10のドレイン電圧Vdの値はVd1に比較して十分に低く、接続点Aの電圧はローレベルである。したがって、電圧検出部6の出力ならびに遅延回路8の出力はともにハイレベル(H)のままである。

【0047】Ex-NOR回路11は両入力にハイレベルを受けてsw1on(H)を出力し、これにより、第1のスイッチSW1でPchMOSFET15とNchMOSFET16がオンする。こうして、第2の制御部2からの制御信号がsw2off(H)へ変わると同時に第1の制御部1の制御信号はsw1on(H)に変わり、アナログスイッチ回路の第1のスイッチSW1がオンして、MOSFET10のゲート容量Cgsに蓄えられた電荷は並列接続の抵抗41、51および第2のスイッチSW2のNchMOSFET26を経て急速に放電される。

【0048】ゲート容量Cgsの放電が進んでMOSFET10のゲート電圧が低下するとともにドレイン電圧Vdが上昇し、ドレイン電圧がVd1に達すると接続点Aの電圧がハイレベル(H)へ変化する。この接続点Aの電圧変化によって、電圧検出部6の出力はローレベル(L)に変化するが、ドレイン電流Idが小さいときは電流検出部7の出力が低いために、コンデンサ85の放電速度が小さく、遅延回路8の出力は電圧検出部6の出力変化に対して大きな遅延時間D1をもってローレベルへ変化する。

【0049】遅延回路8の出力がローレベルへ変化すると、Ex-NOR回路11の出力はsw1on(H)からsw1off(L)のローレベルへ切替わる。このため、第1のスイッチSW1がオフして、ゲート容量Cgsに蓄えられた電荷は抵抗51から第2のスイッチSW2のNchMOSFET26を経て緩やかに放電される。

【0050】つぎに、ドレイン電流が大きい(2)の場合についても、基本的な動作は(1)の場合と同様である。ただ、MOSFET10のドレイン電流Idが大きいときは電流検出部7の出力が高いために、コンデンサ85の放電速度が大きく、遅延回路8の出力は電圧検出部6の出力変化に対して小さい遅延時間D2をもってローレベル(L)へ変化する点で相違している。これにより、第1のスイッチSW1のオフへの切替わりがドレイン電流の小さい場合よりも早期に行なわれる。

【0051】これにより、ドレイン電流が小さい場合にはゲート電圧の変化速度の高い期間を長く維持してスイッチング時間の増大を抑え、逆にドレイン電流が大きい場合には高いスイッチング速度の期間を早めに終了して



サージ電圧の増大を防止することができ、ドレイン電流の変動にかかわらず安定したスイッチング特性が得られる。

【0052】なお、ターンオン時にはドレイン電圧およびドレイン電流の変化方向がターンオフ時と反対になるが、動作は同様であるので、説明を省略する。また、本実施例においては、第1の抵抗手段4と第2の抵抗手段5とが発明の抵抗手段を構成している。また、第1の制御部1と遅延回路8が第1の制御手段を、第2の制御部2が第2の制御手段をそれぞれ構成している。

【0053】MOSFET10のゲート容量 $C_{gs}$ の急速充放電中のドレイン電流の変化は当該ドレイン電流の電流値 $I_d$ に応じて大きく変動しているもので、従来のようにドレイン電圧の所定の一定値（例えば $V_{d1}$ ）だけで決定されるタイミングで上記充放電速度を切替えると、切替え後もその変動が残り、ドレイン電圧 $V_d$ の変化やサージ電圧が変動する。これに対し本実施例は、上述のように、MOSFET10のゲート容量 $C_{gs}$ の充放電速度切替えのタイミングをドレイン電圧のみでなく、ドレイン電流の大きさによって変化させるものとしているので、切替え後のドレイン電流 $I_d$ の変化（ $di/dt$ ）が緩和され、その結果、ドレイン電流 $I_d$ の大きさにかかわらずドレイン電圧 $V_d$ の変化（ $dV/dt$ ）や負荷3および配線の有するインダクタンスの影響で生じ得るサージ電圧の振れが効果的に抑えられ、安定したスイッチング特性が得られるという効果を有する。したがって、とくに負荷として、電圧駆動型素子を通る主電流が時間的に大きく変化するモータを駆動制御する場合などに適用して有効である。

【0054】つぎに、第2の実施例について説明する。この実施例は、独立の遅延回路を省き、電圧検出部に遅延回路の機能を含ませたものである。図4は、第2の実施例を示す基本ブロック図である。負荷3とMOSFET10の接続点にMOSFET10のドレイン電圧を検出する電圧検出部6Aが接続され、電圧検出部6Aはさらに第1の制御部1に接続されている。MOSFET10に対して直列に接続された電流検出部7Aは、MOSFET10のドレイン電流値に反比例した電圧を電圧検出部6Aへ出力するようになっている。

【0055】電圧検出部6Aは、ドレイン電圧が所定値より大きくなると出力がローレベルとなり、ドレイン電圧が所定値以下になると出力がハイレベルとなる。しきい値電圧としてのこの所定値は、電流検出部7Aの出力電圧に比例した値に設定される。その他の基本構成は、第1の実施例の図1に示したものと同一である。

【0056】図5は第2の実施例の具体的な回路構成を示す。電圧検出部6Aは、電流検出部7Aの出力とグラウンド間に直列に接続された抵抗61、62と、これら両抵抗の接続点Aにアノードを接続しMOSFET10のドレインにカソードを接続したダイオード63を備えて

いる。電圧検出部6Aはさらに、直列接続したPchMOSFET64とNchMOSFET65からなるインバータ回路を含んでいる。

【0057】インバータ回路のPchMOSFET64はそのソースを制御電源 $V_{cc}$ に接続し、ドレインをNchMOSFET65のドレインと接続している。また、NchMOSFET65のソースはグラウンドに接続されている。インバータ回路は、PchMOSFET64とNchMOSFET65の各ゲートを接続点Aに接続し、各ドレイン同士の接続点を第1の制御部を構成するEx-NOR回路11の入力側に接続入力されている。

【0058】電流検出部7Aは、MOSFET10の電流検出端子とグラウンド間に接続された抵抗71と、電流検出端子に一端が接続された抵抗72と、この抵抗72の他端に接続されたコンデンサ73と、コンデンサ73と抵抗72の接続点を反転入力に接続したオペアンプ76を備える。さらに制御電源 $V_{cc}$ とグラウンド間に直列接続した抵抗77、78を備え、抵抗77と抵抗78の接続点がオペアンプ76の非反転入力に接続されている。オペアンプ76の反転入力と出力側の間には抵抗79が設けられている。その他の具体的構成は、前実施例における図2の構成と同じである。

【0059】電圧検出部6Aの接続点Aの電圧は、MOSFET10がオン状態である場合には、そのオン電圧にダイオード63の順方向電圧降下分を加えた値となる。この電圧を約1V程度に設定して、論理レベルとしてローレベル（L）を得る。

【0060】つぎに、スイッチングの過渡時、MOSFET10のドレイン電圧が電流検出部7Aの出力電圧より高くなると、ダイオード63が逆バイアスによりオフ状態となって、その結果、接続点Aの電圧は抵抗61と62の分圧比で定まる値となる。ここで、抵抗61に対して抵抗62の抵抗値を十分大きい値に設定することにより、接続点Aの電圧はほぼ電流検出部7Aの出力電圧に等しい値となり、これを論理レベルのハイレベル

（H）とする。ここでは、このときの電流検出部7Aの出力電圧にほぼ等しい値を $V_{d2}$ とする。なお、この $V_{d2}$ の値は電流検出部7Aの出力の変化にしたがって変動する。

【0061】上記構成において、電流検出部7Aでは、MOSFET10の電流検出端子に流れるドレイン電流に比例した電流が抵抗71で電圧に変換される。この電圧は抵抗72とコンデンサ73で形成されるローパスフィルタを通してスイッチング周波数に応じた変化成分を除去され、続いてオペアンプ76を通じてMOSFET10オン時のドレイン電流に反比例した電圧を電圧検出部6Aへ出力する。

【0062】電圧検出部6Aでは、MOSFET10のドレイン電圧が $V_{d2}$ 以上であるか否かを検出して、P

c hMOSFET 64 と N c hMOSFET 65 からなるインバータ回路を通して H あるいは L の 2 値化した信号を E x -NOR 回路 11 へ出力する。

【0063】図 6 は上記構成におけるターンオフ時の動作波形を示す。図の (1) はドレイン電流が小さい場合、(2) はドレイン電流が大きい場合の波形を示している。(a) は第 2 の制御部 2 が出力する制御信号、

(b) は第 1 の制御部 1 が出力する制御信号、(c) は MOSFET 10 のドレイン電圧、(d) は電圧検出部 6 A の出力、(e) は MOSFET 10 のドレイン電流、そして (f) は電流検出部 7 A の出力を示す。

【0064】(1)、(2) のそれぞれにおいて、第 2 の制御部 2 からの制御信号が s w 2 o n (L) から s w 2 o f f (H) へ変わると、第 2 のスイッチ SW2 では P c hMOSFET 25 がオフとなり、N c hMOSFET 26 がオンとなる。制御信号が s w 2 o f f へ変わった直後は MOSFET 10 のドレイン電圧 V d の値は V d 2 に比較して十分に低く、接続点 A の電圧はローレベルである。したがって、電圧検出部 6 A の出力はハイレベル (H) のままである。

【0065】E x -NOR 回路 11 は両入力にハイレベルを受けて s w 1 o n (H) を出力し、これにより、第 1 のスイッチ SW1 で P c hMOSFET 15 と N c hMOSFET 16 がオンする。こうして、第 1 の実施例の図 3 の (1)、(2) におけると同様に、第 2 の制御部 2 からの制御信号が s w 2 o f f (H) へ変わると同時に第 1 の制御部 1 (E x -NOR 回路 11) の制御信号は s w 1 o n (H) に変わり、第 1 のスイッチ SW1 がオンする。これにより、MOSFET 10 のゲート容量 C g s に蓄えられた電荷は抵抗 41、51 の双方を経て急速に放電される。

【0066】ゲート容量 C g s の放電が進んで MOSFET 10 のゲート電圧が低下するとともにドレイン電圧 V d が上昇し、ドレイン電圧が V d 2 に達すると接続点 A の電圧がハイレベル (H) へ変化する。この接続点 A の電圧変化によって、電圧検出部 6 A の出力はローレベル (L) に変化するが、図 6 の (1) のように、ドレイン電流 I d が小さいときは電流検出部 7 A の出力が高いために、V d 2 の値も大きくなり電圧検出部 6 A の出力がローレベルに変化するまでの時間 D 3 が比較的長くなる。すなわち、大きな遅延時間をもってローレベルへ変化する。これにより、第 1 のスイッチ SW1 がオフして、ゲート容量 C g s に蓄えられた電荷は一方の抵抗 51 のみを経て緩やかに放電される。

【0067】一方、図 6 の (2) のように、ドレイン電流 I d が大きいときは電流検出部 7 A の出力が低いために、V d 2 の値も小さくなり電圧検出部 6 A の出力はドレイン電流 I d が小さいときに比較して短い遅延時間でローレベルへ変化する。その他の動作については第 1 の実施例と同様である。本実施例では、第 1 の抵抗手段 4

と第 2 の抵抗手段 5 とが発明の抵抗手段を構成している。また、第 1 の制御部 1 が第 1 の制御手段を、第 2 の制御部 2 が第 2 の制御手段をそれぞれ構成している。

【0068】本実施例は以上のように構成され、MOSFET 10 のゲート容量 C g s の充放電速度切替えのタイミングをドレイン電圧のみでなく、ドレイン電流の大きさによって変化させるものとしているので、前実施例と同じ効果を有する。また、前実施例に対して独立の遅延回路が省かれているので、全体の回路構成が簡単であるという利点を有している。

【0069】つぎに、第 3 の実施例について説明する。この実施例は、第 1 の実施例に対して遅延回路を省き、抵抗手段を電流検出部の出力で制御するようにしたものである。図 7 は、第 3 の実施例を示す基本ブロック図である。負荷 3 と MOSFET 10 の接続点に MOSFET 10 のドレイン電圧を検出する電圧検出部 6 が接続され、電圧検出部 6 はさらに第 1 の制御部 1 に接続されている。MOSFET 10 に対して直列に接続された電流検出部 7 A は、MOSFET 10 のドレイン電流値に反比例した電圧を第 2 の抵抗手段 5 B へ出力するようになっている。

【0070】電圧検出部 6 は、ドレイン電圧が所定値より大きくなると出力がローレベルとなり、ドレイン電圧が所定値以下になると出力がハイレベルとなる。第 2 の抵抗手段 5 B は、電流検出部 7 A の出力電圧に反比例して抵抗値が変化するようにになっている。その他の基本構成は、第 1 の実施例の図 1 に示したものと同一である。

【0071】図 8 は第 2 の実施例の具体的な回路構成を示す。電流検出部 7 A の具体的な回路は、第 2 の実施例の図 5 に示した電流検出部と同じである。第 2 の抵抗手段 5 B は、まず一端が MOSFET 10 のゲートに接続され他端が並列接続の P c hMOSFET 53 と N c hMOSFET 54 を介して第 2 のスイッチ SW2 に接続された抵抗 52 を備える。第 2 の抵抗手段 5 B はさらに、電流検出部 7 A の出力を非反転入力に接続したオペアンプ 55 を備えるとともに、制御電源 V c c とグランド間に直列に設けた抵抗 56、57 を有する。

【0072】抵抗 56 と抵抗 57 の接続点はオペアンプ 55 の反転入力に接続されている。オペアンプ 55 の反転入力と出力側の間には抵抗 58 が設けられている。オペアンプ 55 の出力側は P c hMOSFET 53 のゲートに接続され、非反転入力に N c hMOSFET 54 のゲートに接続されている。

【0073】これにより、電流検出部 7 A の出力が大きいときは P c hMOSFET 53 および N c hMOSFET 54 の導通度合いが高くて、第 2 のスイッチ SW2 と MOSFET 10 のゲート間の抵抗 52 を含む経路の抵抗値を低下させる。逆に、電流検出部 7 A の出力が小さいときは P c hMOSFET 53 および N c hMOSFET 54 の導通度合いが低くて、第 2 のスイッチ SW

2とMOSFET10のゲート間の抵抗52を含む経路の抵抗値を増大させる。その他の具体的構成は、第1の実施例における図2の構成と同じである。

【0074】図9は上記構成におけるターンオフ時の動作波形を示す。図の(1)はドレイン電流が小さい場合、(2)はドレイン電流が大きい場合の波形を示している。(a)は第2の制御部2が出力する制御信号、

(b)は第1の制御部1が出力する制御信号、(c)はMOSFET10のドレイン電圧、(d)は電圧検出部6の出力、(e)はMOSFET10のドレイン電流、

(f)は電流検出部7Aの出力、そして(g)は第2の抵抗手段5Bの抵抗値を示す。

【0075】第1の実施例におけると同様に、電圧検出部6の接続点Aの電圧は、MOSFET10がオン状態である場合に論理レベルとしてローレベル(L)を得る。また、MOSFET10のドレイン電圧が制御電源Vccの電圧より高くなりダイオード63がオフ状態となって、接続点Aの電圧がほぼ制御電源Vccの電圧に等しいVd1となったときを論理レベルのハイレベル(H)とする。

【0076】図9の(1)、(2)のそれぞれにおいて、第2の制御部2からの制御信号がsw2on(L)からsw2off(H)へ変わると、第2のスイッチSW2ではPchMOSFET25がオフとなり、NchMOSFET26がオンとなる。制御信号がsw2offへ変わった直後はMOSFET10のドレイン電圧Vdの値はVd1に比較して十分に低く、接続点Aの電圧はローレベルであるから、電圧検出部6の出力はハイレベル(H)のままである。

【0077】これにより、第1の制御部(Ex-NOR回路11)はsw1on(H)を出力し、第1のスイッチSW1がオンする。こうして、第2の制御部2からの制御信号がsw2off(H)へ変わると同時に第1のスイッチSW1がオンして、MOSFET10のゲート容量Cgsに蓄えられた電荷は並列接続の第1の抵抗手段(抵抗41)および第2の抵抗手段5Bから第2のスイッチSW2を経て急速に放電される。

【0078】ゲート容量Cgsの放電が進んでMOSFET10のゲート電圧が低下するとともにドレイン電圧Vdが上昇し、ドレイン電圧がVd1に達すると接続点Aの電圧がハイレベル(H)へ変化する。この接続点Aの電圧変化によって、電圧検出部6の出力がローレベル(L)に変化すると、第1の制御部1により第1のスイッチSW1がオフされる。このあとは、ゲート容量Cgsは2つの抵抗手段のうち第2の抵抗手段5Bのみを通じて放電される。

【0079】この際、ドレイン電流Idが小さいときは、電流検出部7Aの出力が高いために、図9の(1)のように、第2の抵抗手段5Bの抵抗値は低いので、放電の度合いは比較的大きい。一方、ドレイン電流Idが

大きいときは、電流検出部7Aの出力が低いために、図9の(2)のように、第2の抵抗手段5Bの抵抗値が高いため、(1)の場合よりはゆっくりと放電される。

【0080】なお、第2の抵抗手段5Bの抵抗値は急速放電の間もドレイン電流によって変化するが、第1の抵抗手段が並列に機能しているため、その間の影響はほとんどない。本実施例では、第1の抵抗手段4と第2の抵抗手段5Bとが発明の抵抗手段を構成している。また、第1の制御部1が第1の制御手段を、第2の制御部2が第2の制御手段をそれぞれ構成している。

【0081】本実施例は以上のように構成されているので、第1の実施例と同様に、ドレイン電流Idの大きさにかかわらずドレイン電圧Vdの変化(dV/dt)や負荷3および配線の有するインダクタンスの影響で生じ得るサージ電圧の振れが効果的に抑えられる。そして、第1のスイッチオフ後のとくに主電流の違いによってスイッチング特性が大きく変動する領域において、ゲート電圧の変化速度が主電流値の大きさに応じて調整されるから、スイッチング特性安定化にひときわ有効である。また、独立の遅延回路が省かれているので、全体の回路構成が簡単であるという利点も有している。

【0082】なお、各実施例の具体的な回路では、電圧検出部がMOSFETの端子電圧を当該MOSFETのドレインと負荷の接続点から検出しているが、MOSFETのドレイン電流の入出力にかかわる端子(ドレイン、ソース)間の電圧が検出できれば、電圧検出部を直接ドレインの端子に接続する構成に限定されない。

【0083】また、第1の実施例では第1のスイッチがオフされる遅延時間がドレイン電流値に反比例し、第2の実施例では電圧検出部6Aにおける所定値がドレイン電流値に反比例するものとしているが、これらは厳密な反比例に限定されることなく、ドレイン電流の変化に対応して逆方向に変化すればよく、その度合いは負荷、作動電圧、電流の組み合わせに対応して適宜設定することができる。第3の実施例でも第2の抵抗手段5Bの抵抗値がドレイン電流値に比例するものとしているが、同様に、ドレイン電流の変化に対応して同方向に変化すれば、正確な比例に限定されない。

【0084】さらに、各実施例では電圧駆動型素子としてMOSFETを用いた例について説明したが、本発明は同じく電圧駆動型素子として絶縁ゲート構造を有するIGBTを負荷の主電源回路に用いる場合にも同様に適用できる。

#### 【図面の簡単な説明】

【図1】本発明の第1の実施例を示す基本ブロック図である。

【図2】第1の実施例の具体的な回路構成を示す図である。

【図3】第1の実施例におけるターンオフ時の動作を示す動作波形図である。

17

18

【図4】第2の実施例を示す基本ブロック図である。

【図5】第2の実施例の具体的な回路構成を示す図である。

【図6】第2の実施例におけるターンオフ時の動作を示す動作波形図である。

【図7】第3の実施例を示す基本ブロック図である。

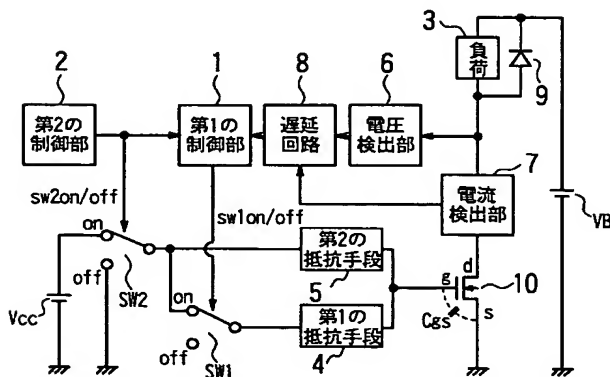
【図8】第3の実施例の具体的な回路構成を示す図である。

【図9】第3の実施例におけるターンオフ時の動作を示す動作波形図である。

【符号の説明】

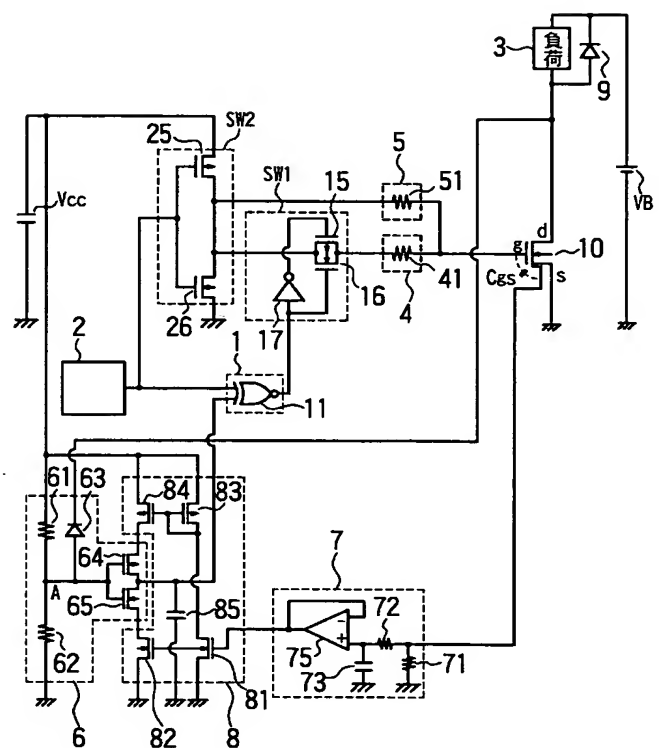
- 1 第1の制御部
- 2 第2の制御部
- 3 負荷
- 4 第1の抵抗手段
- 5、5B 第2の抵抗手段
- 6、6A 電圧検出部
- 7、7A 電流検出部
- 8 遅延回路
- 9 フリーホイールダイオード
- 10 MOSFET（電圧駆動型素子）
- 11 Ex-NOR回路
- 15、25 PchMOSFET

【図1】

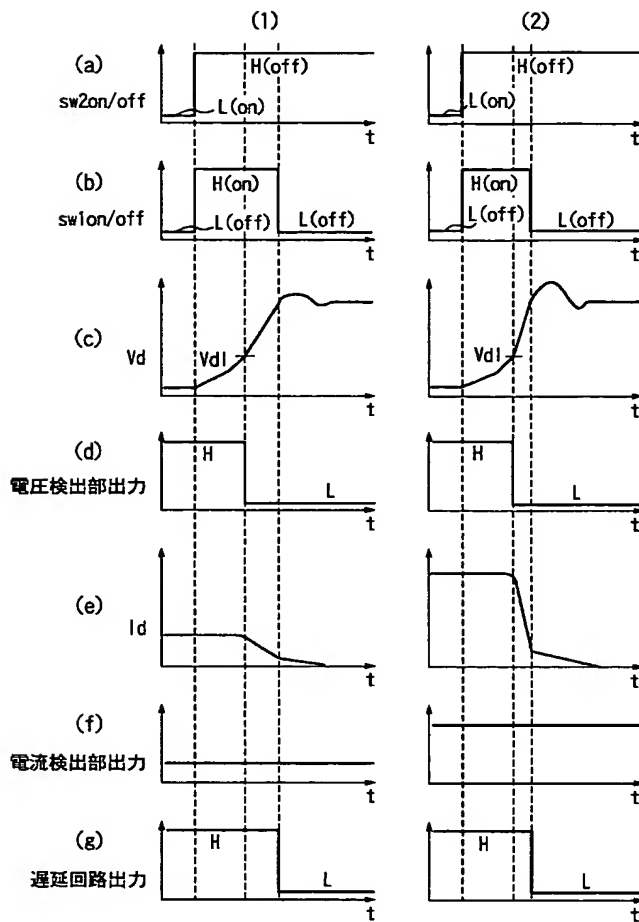


- 16、26 NchMOSFET
- 17 インバータ
- 41 抵抗
- 51、52、56、57、58 抵抗
- 53 PchMOSFET
- 54 NchMOSFET
- 55 オペアンプ
- 61、62 抵抗
- 63 ダイオード
- 64 PchMOSFET
- 65 NchMOSFET
- 71、72 抵抗
- 73 コンデンサ
- 75 ボルテージホロワ
- 76 オペアンプ
- 77、78、79 抵抗
- 81、82 NchMOSFET
- 83、84 PchMOSFET
- 85 コンデンサ
- 20 SW1 第1のスイッチ
- SW2 第2のスイッチ
- VB 主電源
- Vcc 制御電源

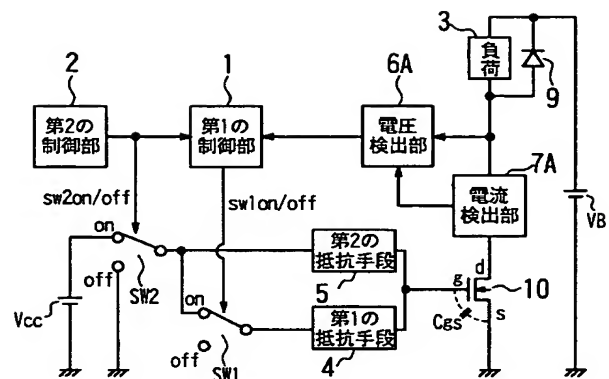
【図2】



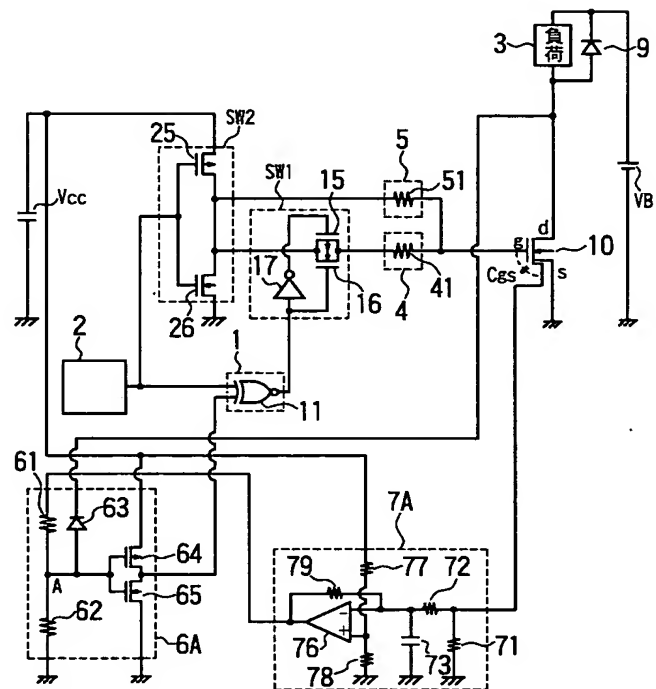
【図3】



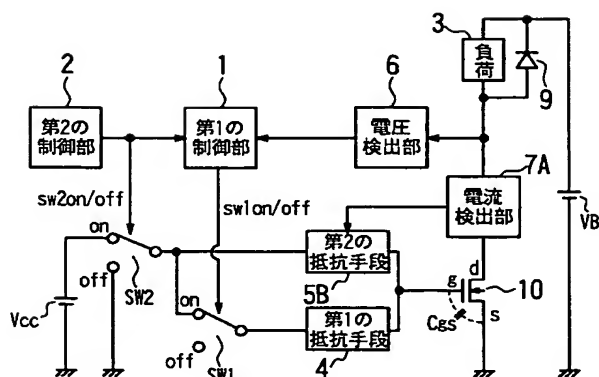
【図4】



【図5】



【図7】





【図 9】

